



日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 8 年 5 月 1 9 日

出 願 番 号

Application Number:

平成 1 0 年 特 許 願 第 1 5 3 8 1 9 号

出 願 人

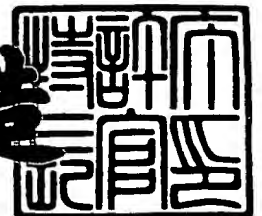
Applicant (s):

新潟精密株式会社

2 0 0 0 年 1 2 月 8 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 1 0 3 0 2 5

【書類名】 特許願

【整理番号】 NSP0214N

【提出日】 平成10年 5月19日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 4

【発明者】

    【住所又は居所】 新潟県上越市西城町二丁目 5 番 1 3

    【氏名】 池田 孝市

【発明者】

    【住所又は居所】 東京都大田区山王 2 丁目 5 番 6 - 2 1 3

    【氏名】 池田 毅

【特許出願人】

    【識別番号】 593119169

    【氏名又は名称】 株式会社ティ・アイ・エフ

    【代表者】 池田 毅

【代理人】

    【識別番号】 100103171

    【弁理士】

    【氏名又は名称】 雨貝 正彦

    【電話番号】 03-3362-6791

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体ウエハに複数の異種類の半導体チップを形成した後に、各半導体チップの良否検査の結果に応じて所定の複数個を単位として前記半導体チップを切り分けることにより形成することを特徴とする半導体装置。

【請求項 2】 半導体ウエハに形成された複数の異種類の半導体チップに対して配線、樹脂封止、端子形成を行った後に、各半導体チップの良否検査の結果に応じて所定の複数個を単位として前記半導体チップを切り分けることにより形成することを特徴とする半導体装置。

【請求項 3】 半導体ウエハに複数の異種類の半導体チップを形成する第 1 の工程と、

前記半導体ウエハに形成された複数の前記半導体チップのそれぞれの良否検査を行う第 2 の工程と、

前記良否検査の結果に基づいて所定の複数個を単位として前記半導体チップを切り分ける第 3 の工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項 4】 半導体ウエハに複数の異種類の半導体チップを形成する第 1 の工程と、

前記半導体ウエハ上に形成された複数の前記半導体チップに対して配線、樹脂封止、端子形成を行う第 2 の工程と、

前記第 2 の工程によって形成された前記端子を用いて、前記半導体ウエハに形成された複数の前記半導体チップのそれぞれの良否検査を行う第 3 の工程と、

前記良否検査の結果に基づいて所定の複数個を単位として前記半導体チップを切り分ける第 4 の工程と、

を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ基板やマザーボードなどに実装可能な半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

半導体ウエハから切り出されたメモリチップ等の半導体チップは、パッケージングされた状態でプリント基板等を実装されるのが一般的である。ところが、パッケージの外形寸法は、各種の半導体チップ自体のサイズに比べてかなり大きい  
ため、プリント基板等を実装可能なパッケージの数等には一定の制限がある。

【0003】

一方、最近では、複数の半導体チップを基板上に実装したマルチチップモジュール(MCM)が普及しつつある。このマルチチップモジュールを用いることにより、①実装面積の小型化およびこれに伴う軽量化、②高密度配線およびベアチップ実装による高性能・高速化、③高信頼性の確保等が可能になる。

【0004】

【発明が解決しようとする課題】

ところで、上述した高密度実装が可能なマルチチップモジュールにおいては、複数の半導体チップを1つの基板上に実装するため、各半導体チップの不良率が累積されてモジュール全体としての不良率が大きくなる。例えば、2個の半導体チップを1つのモジュール基板に実装する場合には、1つの半導体チップが不良であってもモジュール全体の不良となる。したがって、不良となった半導体チップを交換するリペア作業を行ったり、このモジュール全体を不良品として廃棄する等の処置を施す必要があり、歩留まりが悪く、しかも無駄が多かった。また、複数の半導体チップを1つの基板上に実装する場合には、それぞれの半導体チップを1個ずつ基板に実装するため、製造工程が複雑になっていた。

【0005】

本発明は、このような点に鑑みて創作されたものであり、その目的は、高密度実装が可能な半導体装置を製造する際の不良率を低減することができ、しかも工程の簡略化が可能な半導体装置およびその製造方法を提供することにある。

【0006】

## 【課題を解決するための手段】

上述した課題を解決するために、本発明では、半導体ウエハに複数の異種類の半導体チップを形成した後に、あるいはこれらの半導体チップに対して配線、樹脂封止、端子形成を行った後に、各半導体チップの良否検査を行い、その結果に応じて所定の複数個を単位として半導体チップを切り分けることにより半導体装置が形成される。良否検査の結果に応じて半導体チップの切り分けを行っているため、複数個の半導体チップによって構成される高密度実装が可能な半導体装置を製造したときに、その中の一部の半導体チップが不良品であるために半導体装置全体が不良品になるということがなく、半導体装置を製造する際の不良率を低減することができる。また、複数個の半導体チップからなる半導体装置をその後の工程で用いることができるため、単一の半導体チップからなる半導体装置を複数個組み合わせて用いる場合に比べて、その後の工程を簡略化することができる。

## 【0007】

特に、半導体ウエハに形成された各半導体チップに対して配線、樹脂封止、端子形成からなる実装工程を実施することにより、各半導体チップを個別に切り分けた後にこの実装工程を実施する場合に比べてさらなる工程の簡略化が可能になる。

## 【0008】

## 【発明の実施の形態】

## (第1の実施形態)

以下、本発明を適用した第1の実施形態の半導体装置について、図面を参照しながら具体的に説明する。図1は、本実施形態の半導体装置の製造工程を示す図である。

## 【0009】

まず、図1(a)および(b)に示すように、例えばシリコン単結晶の薄片である半導体ウエハ2を導入し、この半導体ウエハ2に2種類の半導体チップ1を形成する(第1の工程)。例えば、2種類の半導体チップ1の一方をプロセッサチップ1aとし、他方をメモリチップ1bとする。図1(b)の点線で囲まれた

空白の領域がプロセッサチップ 1 a を示しており、斜線の領域がメモリチップ 1 b を示している。図 1 (b) に示すように、半導体ウエハ 2 に複数の半導体チップ 1 を形成する際は、プロセッサチップ 1 a とメモリチップ 1 b が互いに四方に隣り合うように配置される。

## 【0010】

図 2 は、半導体ウエハ 2 に形成される半導体チップ 1 の概略を示す図である。図 2 に示すように、半導体チップ 1 は、所定の大きさの半導体ウエハ 2 と、この半導体ウエハ 2 の表面に形成される複数のチップ用パッド 3 とを含んで構成される。チップ用パッド 3 は、半導体チップ 1 が実装される基板との電氣的接続を行うための接続端子である。なお、図 2 には半導体チップ 1 のほぼ中央に一行にチップ用パッド 3 が形成された場合を示したが、チップ用パッド 3 の配列数および配置位置は、半導体チップ 1 の種類によって適宜変更される。

## 【0011】

このようにして半導体ウエハ 2 に複数の半導体チップ 1 が形成された状態で、次に、半導体チップ 1 のそれぞれについて良否検査を行う（第 2 の工程）。例えば、各半導体チップ 1 に形成されたチップ用パッド 3 に検査用プローブを押圧して電氣的に接触させることにより、各種の機能試験を実施する。各半導体チップ 1 の良否検査を半導体ウエハ 2 の全体を単位として行うことにより、すなわち、半導体ウエハ 2 に形成された複数の半導体チップ 1 の良否検査を一度に行うことにより、検査効率の向上を図っている。

## 【0012】

次に、第 2 の工程における良否検査の結果に基づいて、図 1 (c) に示すように、良品と判定された各半導体チップ 1 を、隣り合った 1 個のプロセッサチップ 1 a と 1 個のメモリチップ 1 b とを組み合わせた 2 個を 1 セットとして切り分ける（第 3 の工程）。

## 【0013】

図 3 は、半導体ウエハ 2 に形成された複数の半導体チップ 1 の切り分け方法の一例を示す図である。図 3 (a) は、上述した第 2 の工程における半導体ウエハ 2 に形成された各半導体チップ 1 の良否検査の結果を示す図であり、○印は良品

と判定された 1 個の半導体チップ 1 を、×印は不良品と判定された 1 個の半導体チップ 1 をそれぞれ示している。また、図 3 (b) は、図 3 (a) において良品と判定された半導体チップ 1 をどのように切り分けるかを示す図であり、実線で囲まれた範囲が切り分けの単位を示している。上述したように、各半導体チップ 1 は、1 個のプロセッサチップ 1 a と 1 個のメモリチップ 1 b とが組み合わされて切り分けられる。したがって、図 3 (b) に示すように、良品と判定された互いに隣り合ったプロセッサチップ 1 a とメモリ用チップ 1 b との組み合わせ方を工夫して切り分けることにより、プロセッサチップ 1 a とメモリ用チップ 1 b とが繋がった状態の半導体装置が製造される。

## 【0014】

次に、図 1 (d) に示すように、切り分けたプロセッサチップ 1 a とメモリ用チップ 1 b を基板 4 に実装して、最終的に、半導体モジュール 10 を完成させる (第 4 の工程)。基板 4 への実装方法としては、半導体チップ 1 に形成されたチップ用パッド 3 と基板 4 に形成された電極 (図示せず) とをボンディングワイヤを用いて接続する。

## 【0015】

このように、半導体ウェハ 2 に 2 種類の半導体チップ 1 を複数個形成し、これらの半導体チップ 1 のうち、良否検査によって良品であると判定されたもののみを組み合わせて切り分けて半導体モジュール 10 が製造されるため、半導体モジュール 10 に含まれる一方の半導体チップ 1 が不良品であるために半導体モジュール 10 全体が不良品となってしまうことがなく、半導体モジュール 10 の製造の際の不良率を低減することができる。

## 【0016】

特に、本実施形態では、プロセッサチップ 1 a とメモリチップ 1 b とが繋がった状態で切り出されるが、隣接するプロセッサチップ 1 a とメモリチップ 1 b との組み合わせを良否試験の結果に基づいて自由に決めることができる。したがって、各プロセッサチップ 1 a は、隣り合う 1 個のメモリチップ 1 b が不良品であっても、隣り合う他のメモリチップ 1 b と組み合わせることができる。同様に、各メモリ用チップ 1 b は、隣り合う 1 個のプロセッサチップ 1 a が不良品であ

っても、隣り合う他のプロセッサチップ a b と組み合わせることができる。このため、プロセッサチップ 1 a とメモリチップ 1 b との組み合わせを工夫することにより、1 枚の半導体ウエハ 2 から、2 つの半導体チップ 1 の組み合わせである半導体装置をより多く製造することができる。

## 【0017】

また、半導体モジュール 10 は、半導体ウエハ 2 に形成されたプロセッサチップ 1 a とメモリチップ 1 b をまとめて切り出したものが実装されている。すなわち、複数の半導体チップ 1 が互いにつながった状態で実装されるため、半導体ウエハ 2 からプロセッサチップ 1 a とメモリチップ 1 b を 1 個ずつ切り出し、それらを間隔をとって実装して半導体モジュールを形成する場合と比較すると、高密度実装による部品の小型化が可能になる。また、一度に複数の半導体チップ 1 を実装することができるため、製造工程を簡略化することが可能となる。

## 【0018】

## (第 2 の実施形態)

次に、本発明を適用した第 2 の実施形態の半導体モジュールについて説明する。本実施形態の半導体モジュールは、チップサイズパッケージ (CSP ; Chip Size Package) 実装技術によって製造される。図 4 は、本実施形態の半導体モジュールの製造工程を示す図である。

## 【0019】

まず、図 4 (a) および (b) に示すように、半導体ウエハ 12 を導入し、この半導体ウエハ 12 に複数の半導体チップ 11 (例えばプロセッサチップ 11 a およびメモリチップ 11 b) を形成する (第 1 の工程)。図 4 (b) の点線で囲まれた空白領域はプロセッサチップ 11 a を示しており、斜線領域はメモリチップ 11 b を示している。半導体ウエハ 12 に複数の半導体チップ 11 を形成する際は、プロセッサチップ 11 a とメモリチップ 11 b とが互いに四方に隣り合うように形成する。次に、複数の半導体チップ 11 が形成された状態の半導体ウエハ 12 全体を対象として、図 4 (c) に示すように、配線と樹脂封止を行った後に端子を形成する CSP 実装を行う (第 2 の工程)。

## 【0020】



図5は、CSP実装された半導体チップ11の拡大断面図である。図5に示すように、CSP実装された半導体チップ11は、半導体ウエハ12、配線パターン13、ビア・ポスト14、バリヤ・メタル15、樹脂層16、半田ボール17を含んで構成される。

#### 【0021】

配線パターン13は、半導体ウエハ12の表面に形成された金属薄膜をレジストで加工した後、電解メッキ処理を施すことにより形成される。ビア・ポスト14は、配線パターン13に接続されており、その頂上部にはバリヤ・メタル15が形成される。樹脂層16は、半導体ウエハ12の表面を封止している。樹脂層16は、ビア・ポスト14の高さとほぼ等しい厚さを有しており、樹脂封止したときにバリヤ・メタル15が外部に露出するようになっている。半田ボール17は、半導体チップ11が実装される基板との電氣的接続を行うための接続端子である。

#### 【0022】

このようにして半導体ウエハ12に形成された複数の半導体チップ11がCSP実装された状態で、次に、各半導体チップ11の良否検査を行う（第3の工程）。例えば、各半導体チップ11に対応して形成された半田ボール17に検査用プローブを押圧して電氣的に接触させることにより、各種の機能試験を実施する。半導体チップ11の良否検査を半導体ウエハ12の全体を単位として行うことにより、すなわち、半導体ウエハ12に形成された複数の半導体チップ11の良否検査を一度に行うことにより、検査効率の向上を図っている。

#### 【0023】

次に、第3の工程における良否検査の結果に基づいて、図4（d）に示すように、良品と判定されたCSP実装後の各半導体チップ11が、プロセッサチップ11aとメモリチップ11bとを組み合わせたものを1セットとした半導体装置として切り分けることにより、最終的に、半導体モジュール20を完成させる（第4の工程）。具体的な切り分け方法は、上述した第1の実施形態において、図3に示した切り分け方法が適用される。

#### 【0024】

このように、半導体ウエハ 12 に異種類の半導体チップ 11 を複数個形成した後に CSP 実装を行い、CSP 実装後の各半導体チップ 11 のうち、良否検査によって良品であると判定されたもののみを切り分けて半導体装置としての半導体モジュール 20 が製造されるため、半導体モジュール 20 に含まれる 2 個の半導体チップ 11 (プロセッサチップ 11 a、メモリチップ 11 b) の少なくとも一方が不良品であるために半導体モジュール 20 全体が不良品となってしまうことがなく、半導体モジュール 20 を製造する際の不良率を低減することができる。

#### 【0025】

また、半導体モジュール 20 は、半導体ウエハ 12 からプロセッサチップ 11 a とメモリチップ 11 b とを 1 セットとしてまとめて切り出したものが用いられる。このため、半導体ウエハ 12 から、プロセッサチップ 11 a とメモリチップ 11 b を別々に切り出した後にそれらの間の間隔をとって実装して半導体モジュールを形成する場合と比較すると、高密度実装による部品の小型化が可能になる。特に、CSP 実装を行っているため、実装面積が最小になる。また、良否パターンに基づいて各半導体チップ 11 の切り出しが行われるため、多数個取りの半導体モジュール 20 を効率よく製造することができる。

#### 【0026】

本発明は、上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述した第 1 の実施形態の半導体ウエハ 2 に含まれるプロセッサチップ 1 a とメモリチップ 1 b は、対応する端子同士を配線によって相互に接続するようにしてもよい。例えば、プロセッサチップ 1 a とメモリチップ 1 b のそれぞれの電源端子には共通の電源電圧が印加され、それぞれのクロック端子には共通の動作クロック信号が入力される。同じ電圧が印加される端子同士あるいは同じ信号が入力される信号同士を各半導体チップ 1 を形成する際に接続しておいて、2 個の半導体チップ 1 がつながった状態で切り出された半導体装置では、2 個の半導体チップ 1 の中のいずれか一方に対して、共通の電圧を印加し、あるいは共通の信号を入力するようにする。このように、各半導体チップ 1 の内部で相互に配線を行うことにより、複数の半導体チップ 1 とこれを実装する基板 4 との間の配線量を減らすことができ、実装工程の簡略化が可

能になる。

【0027】

但し、隣接する各半導体チップ1をどのように組み合わせて切り出すかは、良否検査を行うまでわからないため、図6に示すように、隣接する全ての半導体チップ1同士の対応する端子同士を相互に配線しておくことが好ましい。また、一例として電源端子やクロック端子を相互に接続する場合を説明したがその他の端子を相互に接続するようにしてもよい。

【0028】

また、上述した第1の実施形態では、2個の半導体チップ1がつながった状態の半導体装置を製造し、さらにこれを基板4上に実装して半導体モジュール10を形成したが、2個の半導体チップ1からなる半導体装置をパーソナルコンピュータのマザーボード等に直接実装するようにしてもよい。

【0029】

また、上述した各実施形態では、2個の異種類の半導体チップ1や11を組み合わせて半導体装置を形成したが、それ以上（例えば4個）の異種類の半導体チップ1や11を組み合わせるようにしてもよい。この場合に、必ずしも全部の半導体チップの種類が異なる必要はなく、少なくとも2種類の半導体チップが組み合わされる。また、異種類の半導体チップの組み合わせには、種類の異なるメモリチップ（DRAMとフラッシュメモリ等）を組み合わせる場合や、同じDRAMであってビット構成や容量が異なるものを組み合わせる場合も含まれる。

【0030】

【発明の効果】

上述したように、本発明によれば、良否検査の結果に応じて所定の複数個を単位として半導体チップを切り分けているため、複数個の半導体チップによって構成される高密度実装が可能な半導体装置を製造したときに、その中の一部の半導体チップが不良品であるために半導体装置全体が不良品になるということがなく、半導体装置を製造する際の不良率を低減することができる。また、複数個の半導体チップからなる半導体装置をその後の工程で用いることができるため、単一の半導体チップからなる半導体装置を複数個組み合わせて用いる場合に比べて、

その後の工程を簡略化することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態の半導体モジュールの製造工程を示す図である。

【図 2】

半導体ウエハに形成される半導体チップの概略を示す図である。

【図 3】

半導体ウエハに形成された半導体チップの切り分け方法の一例を示す図である。

【図 4】

第 2 の実施形態の半導体モジュールの製造工程を示す図である。

【図 5】

CSP 実装された半導体チップの拡大断面図である。

【図 6】

相互に接続される各半導体チップ間の接続状態を示す図である。

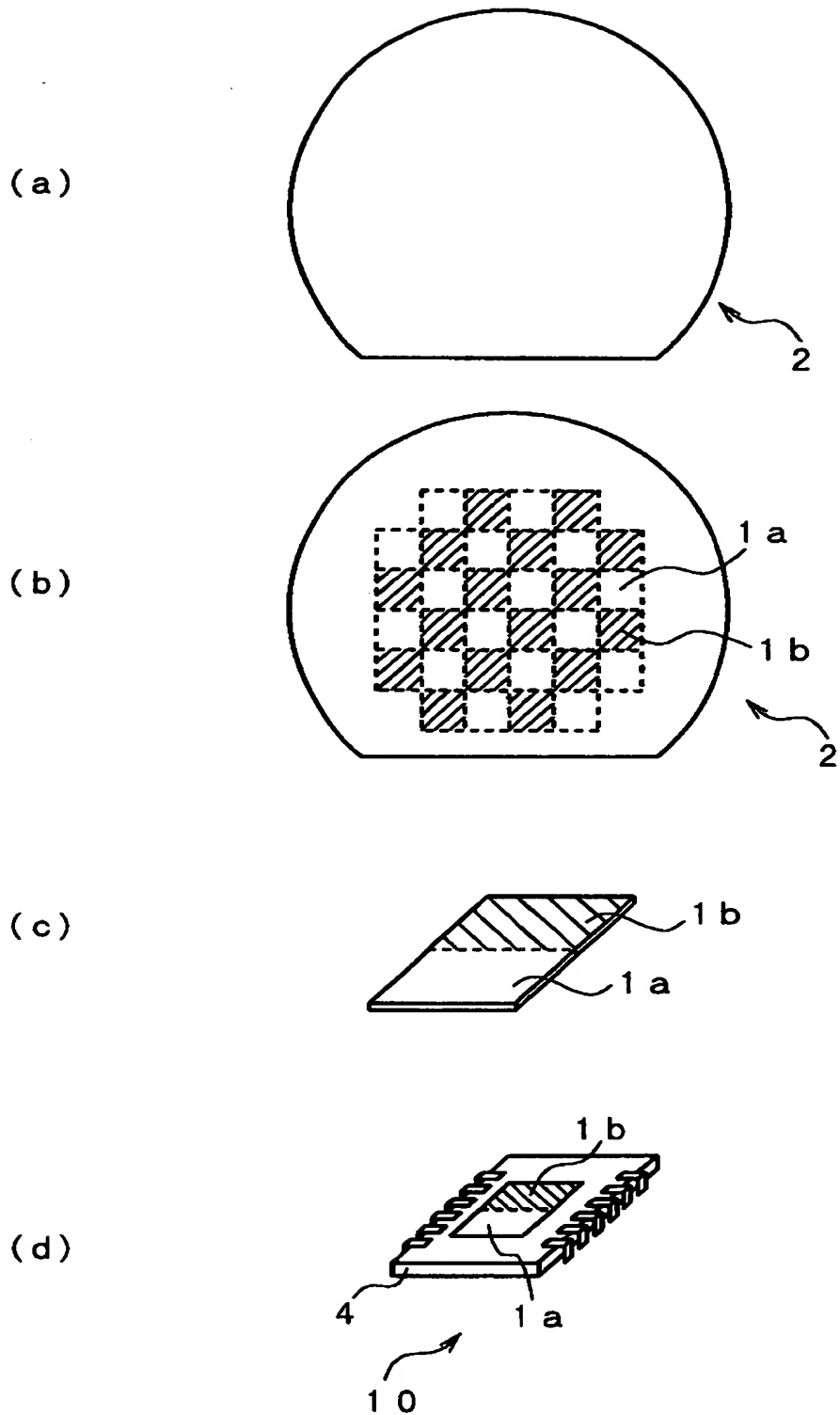
【符号の説明】

- 1、11 半導体チップ
- 1a、11a プロセッサチップ
- 1b、11b メモリチップ
- 2、12 半導体ウエハ
- 3 チップ用パッド
- 4 基板
- 10 半導体モジュール
- 13 配線パターン
- 14 ピア・ポスト
- 15 バリヤ・メタル
- 16 樹脂層
- 17 半田ボール

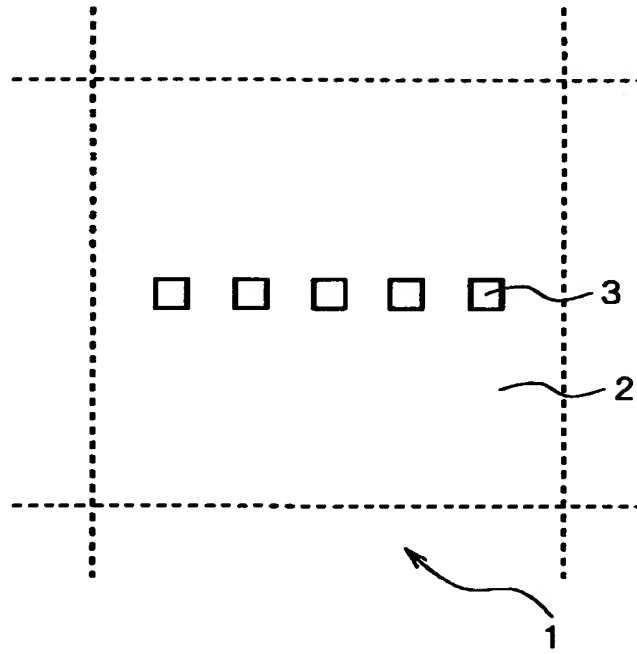
【書類名】

図面

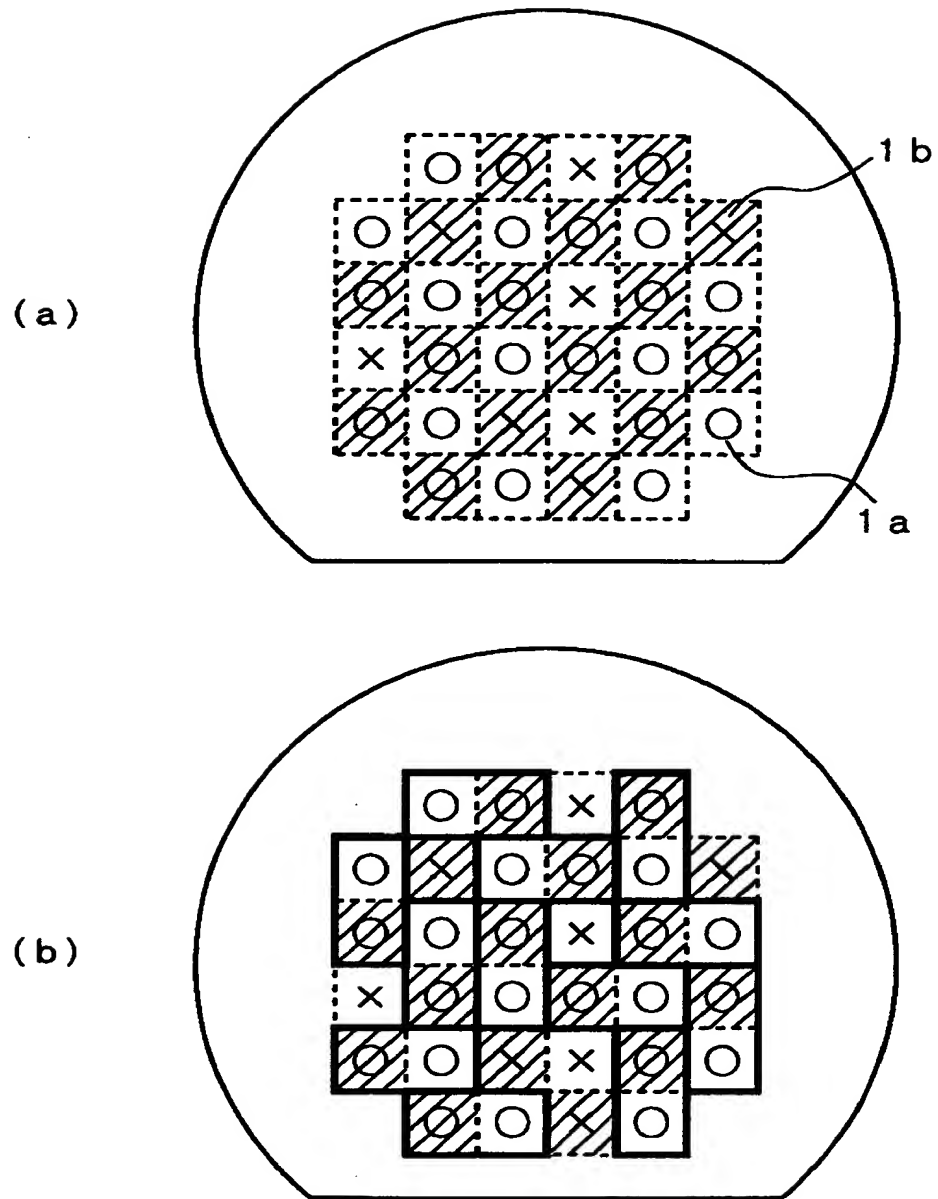
【図 1】



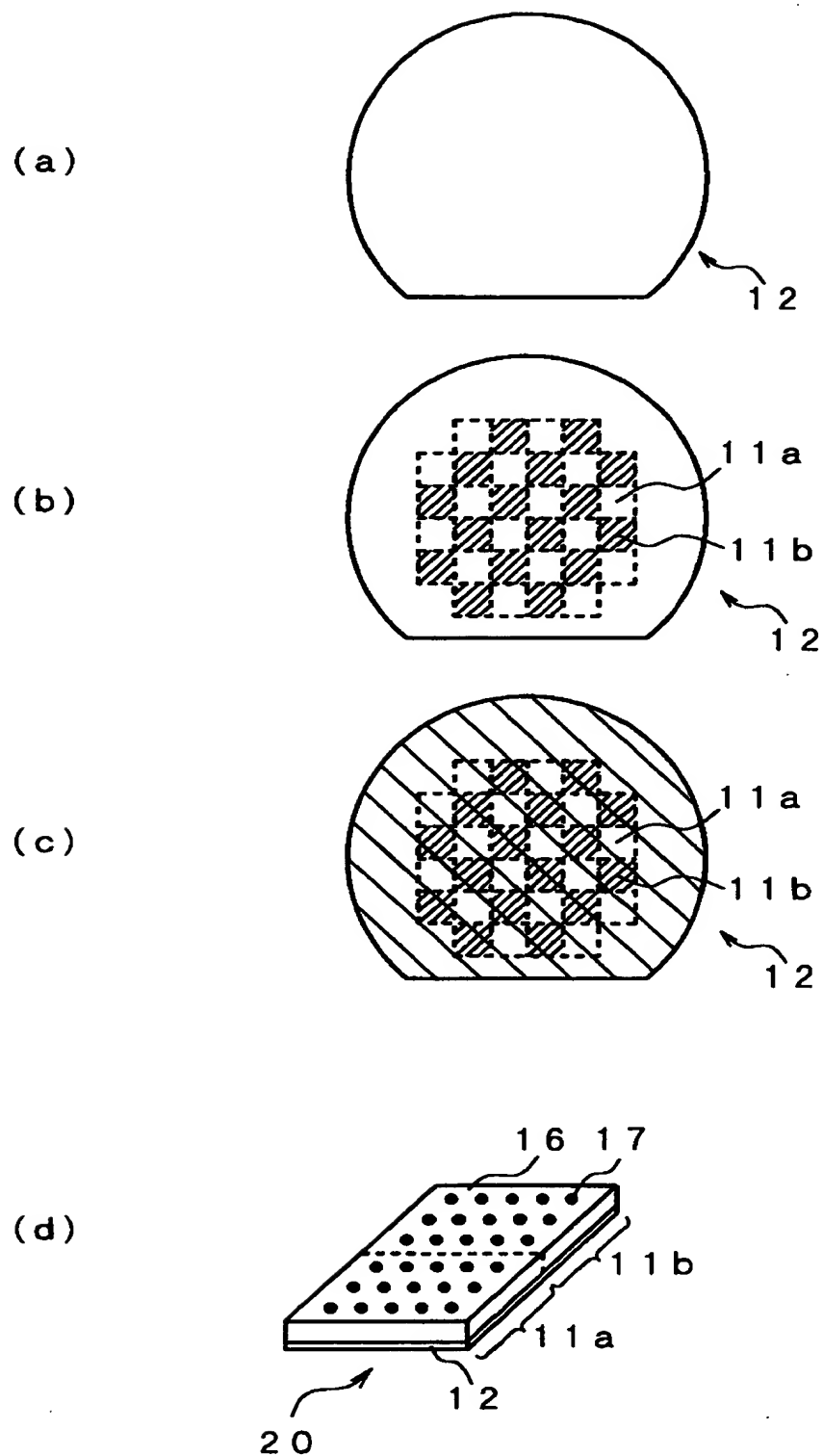
【図 2】



【図 3】

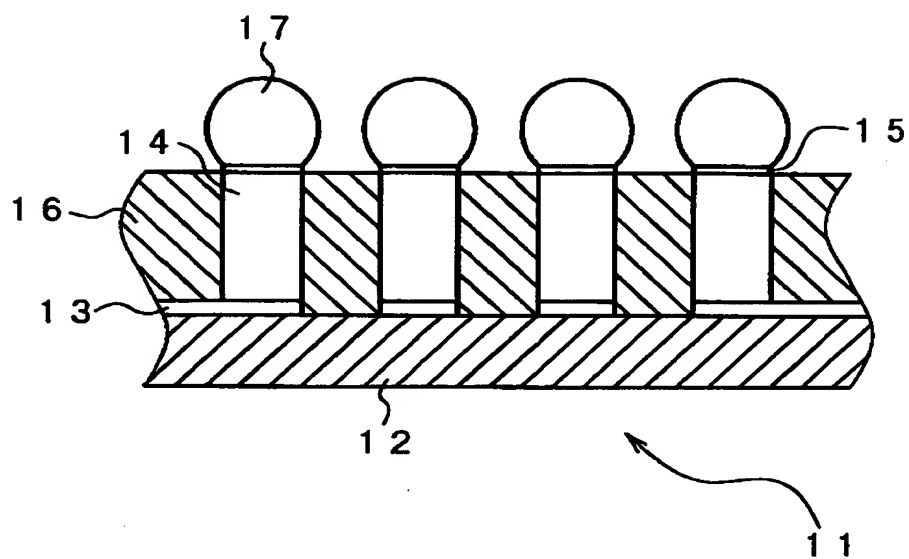


【図 4】

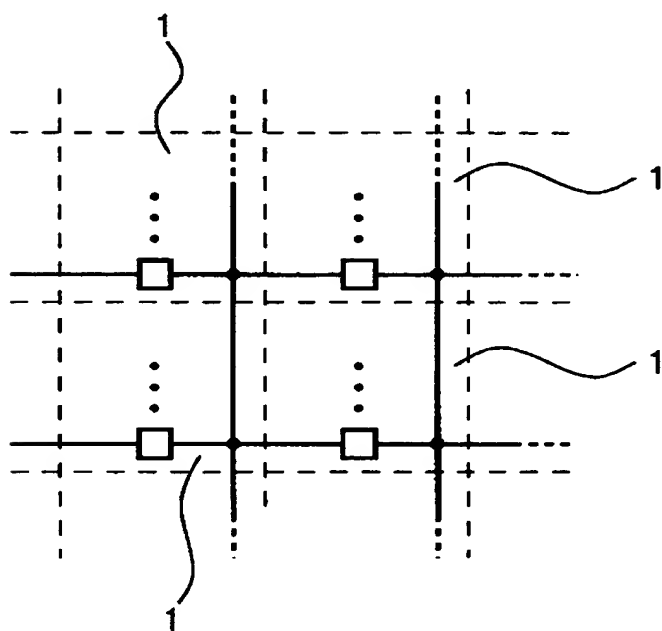




【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 高密度実装が可能な半導体装置を製造する際の不良率を低減することができ、しかも工程の簡略化が可能な半導体装置およびその製造方法を提供すること。

【解決手段】 半導体ウエハ 2 に異種類の複数の半導体チップ 1（プロセッサチップ 1 a、メモリチップ 1 b）を複数個形成した状態で、各半導体チップ 1 の良否検査を行い、良品と判定された各半導体チップ 1 を、互いに隣接するプロセッサチップ 1 a とメモリチップ 1 b とがつながった状態を 1 セットとして半導体ウエハ 2 から切り出して半導体装置が製造される。その後、この半導体装置が基板 4 に実装されて半導体モジュール 10 が製造される。

【選択図】 図 1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 593119169  
【住所又は居所】 東京都大田区山王二丁目5番6-213号  
【氏名又は名称】 株式会社ティ・アイ・エフ  
【代理人】 申請人  
【識別番号】 100103171  
【住所又は居所】 東京都新宿区西新宿7丁目7番26号 ワコーレ新宿第1ビル803号室 雨貝特許事務所  
【氏名又は名称】 雨貝 正彦

【書類名】 出願人名義変更届（一般承継）  
【あて先】 特許庁長官殿  
【事件の表示】  
【出願番号】 平成10年特許願第153819号  
【承継人】  
【識別番号】 591220850  
【氏名又は名称】 新潟精密株式会社  
【代表者】 池田 毅  
【承継人代理人】  
【識別番号】 100103171  
【弁理士】  
【氏名又は名称】 雨貝 正彦  
【提出物件の目録】  
【物件名】 承継人であることを証する書面 1  
【援用の表示】 平成12年9月19日提出の平成11年特許願第192  
675号の出願人名義変更届に添付のものを援用する。  
【プルーフの要否】 要

## 認定・付加情報

特許出願の番号	平成10年 特許願 第153819号
受付番号	50001421396
書類名	出願人名義変更届 (一般承継)
担当官	東海 明美 7069
作成日	平成12年11月20日

### <認定情報・付加情報>

【提出日】	平成12年11月 2日
【承継人】	
【識別番号】	591220850
【住所又は居所】	新潟県上越市西城町2丁目5番13号
【氏名又は名称】	新潟精密株式会社
【承継人代理人】	申請人
【識別番号】	100103171
【住所又は居所】	東京都新宿区北新宿1丁目8番15号 北新宿O Cビル2階 雨貝特許事務所
【氏名又は名称】	雨貝 正彦

出 願 人 履 歴 情 報

識別番号 [593119169]

1. 変更年月日 1993年 5月28日  
[変更理由] 新規登録  
住 所 東京都大田区山王二丁目5番6-213号  
氏 名 株式会社ティ・アイ・エフ

出 願 人 履 歴 情 報

識別番号 [591220850]

1. 変更年月日 1996年 5月 9日  
[変更理由] 住所変更  
住 所 新潟県上越市西城町2丁目5番13号  
氏 名 新潟精密株式会社